طراحی و پیاده‌سازی مدار برنامه‌ریز بهبود یافته برای کاهش اثر فراجهش با تکنیک پوزیکست

معصومه رحیمی[۱]
محمد باقر غزنوی قوشچی[۲]

چکیده

در این مقاله یک مدار قابل برنامه‌ریزی برای ساخت پالس پوزیکست ارائه شده است. در این طرح، ابتدا پالس اصلی تأخیر داده می‌شود، سپس پالس اصلی و تأخیر یافته توسط جمع‌کننده جمع می‌شوند. در مدار تأخیر ارائه شده، تأخیر در لبه بالارونده و پایین‌رونده با دو مجموعه کد متفاوت کنترل می‌شود. همچنین در مدار جمع‌کننده ارائه شده، سطوح اول ولتاژ پالس پوزیکست در لبه بالارونده و پایین‌رونده با دو مجموعه کد ورودی متفاوت کنترل می‌شود. با ترکیب کردن مدار تأخیر و مدار جمع‌کننده، یک مدار قابل برنامه‌ریزی برای ساخت پالس پوزیکست ارائه شده است. نتایج شبیه‌سازی نشان می‌دهد که مدارات تأخیر و جمع‌کننده به صورت خطی نسبت به کد ورودی عمل می‌کنند. در نهایت پالس پوزیکست ساخته شده بر روی مدار RLC اعمال شده است و نتایج شبیه‌سازی نشان می‌دهد که در مدار RLC، متوسط کاهش فراجهش در لبه‌های بالارونده و پایین‌رونده به ترتیب برابر ۹۱/۷۸٪ و ۹۸/۵۶٪ است. همچنین متوسط بهبود زمان نشست در این لبه‌ها برابر ۷۰/۷٪ و ۹۰/۴۷٪ است.

کلید واژه

پاسخ زمانی، پوزیکست، زمان نشست، فراجهش

---

[۱] کارشناس ارشد برق الکترونیک، دانشگاه شاهد marahimi@shahed.ac.ir
[۲] استادیار دانشکده برق، دانشگاه شاهد
تاریخ دریافت: ۸ خرداد ۱۳۹۲ تاریخ پذیرش: ۳۰ خرداد ۱۳۹۲